

DisplayPort Application Solution Guide

- CTS1.1

1. Introduction

DisplayPort"는 VESA(Video Electronics Standards Association)에서 규정하고 있는 새로운 개방형 산업 표준 디지털 디스플레이 인터페이스로, 외부("box to box") 및 내부(예: 노트북 PC 패널 인터페이스) 연결을 포함한 폭 넓은 응용 프로그램에 적합한 인터페이스를 제공하기 위해 설계되었습니다. 멀티미디어 인터페이스의 표준으로 자리 잡고 있는 HDMI는 TV 장치에는 매우 적합하지만 성능 확장성에서 제약이 있고 가전 제품의 box-to-box 연결에만 기본적으로 초점이 맞추어져 있어 고성능 PC 디스플레이의 광범위한 어플리케이션에 적용하기에는 부족한 측면이 있습니다. DisplayPort는 성능 확장이 용이하고 새로운 디스플레이 기능 및 어플리케이션 수용을 위해 확장이 가능하도록 내부 및 외부 디스플레이 시그널링을 통합하는 개방형 업계 표준을 제공함으로써 이러한 제한을 극복하고 있습니다.

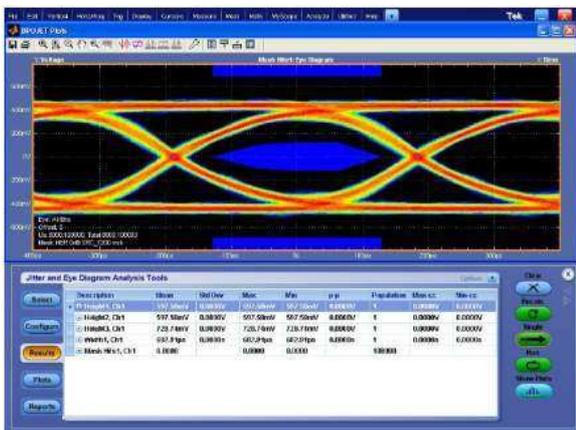


DisplayPort 링크는 메인 링크, AUX 채널 및 HPD(Hot Plug Detect) 라인으로 이루어져 있습니다. 메인 링크는 AC 커플된 단방향 통신을 지원하며, 1, 2, 또는 4 레인의 사용이 가능합니다.



이때 레인 별 전송 속도는 2.7Gbps 또는 1.62Gbps를 지원합니다. AUX 채널은 반이중 양방향 1Mbps 통신을 지원하며 링크 매니지먼트 및 디바이스 컨트롤 용도로 사용됩니다.

2. DisplayPort Compliance Test 개요



DisplayPort의 호환성 테스트 프로그램은 VTM(www.VTM-inc.com)에 의하여 진행되고 있으며, 최종테스트 규격인 CTS1.1이 2009년 2월에 발표되었습니다. 인증 테스트는 Allion(www.allion.com) 및 ETC(www.etc.org.tw)에서 진행되고 있으며 Allion은 소스/케이블/싱크 장비에 대하여 모든 인증 테스트가 가능하고, ETC는 케이블 및 커넥터에 대한 인증 테스트를 진행하고 있습니다. 최초 인증테스트를 통과한 후 제품 개선에 따른 테스트가 필요할 경우에는 self test report를 VTM에 통보하여 인증을 유지할 수 있으며, 이에 필요한 요구 사항은 아래 사이트에서 확인할 수 있습니다.

<http://www.displayport.org/compliance-standards/Test-Information.htm>

텍트로닉스의 오실로 스코프 및 AWG는 VESA의 DisplayPort 테스트 장비로 2008년에 업계 최초 인증을 획득하여 현재 Allion 및 ETC의 공식 테스트 장비로 사용되고 있습니다.



3. DPCD setup

디스플레이포트의 신호 전송은 동작 조건에 따라서 데이터 레이트, 프리엠퍼시스, 앰플리튜드 및 전송 라인 등을 변경하게 됩니다. 이러한 설정은 소스 및 싱크 칩의 DPCD(DisplayPort Configuration Data) 레지스터를 통하여 결정되며 설정값은 다음과 같습니다.

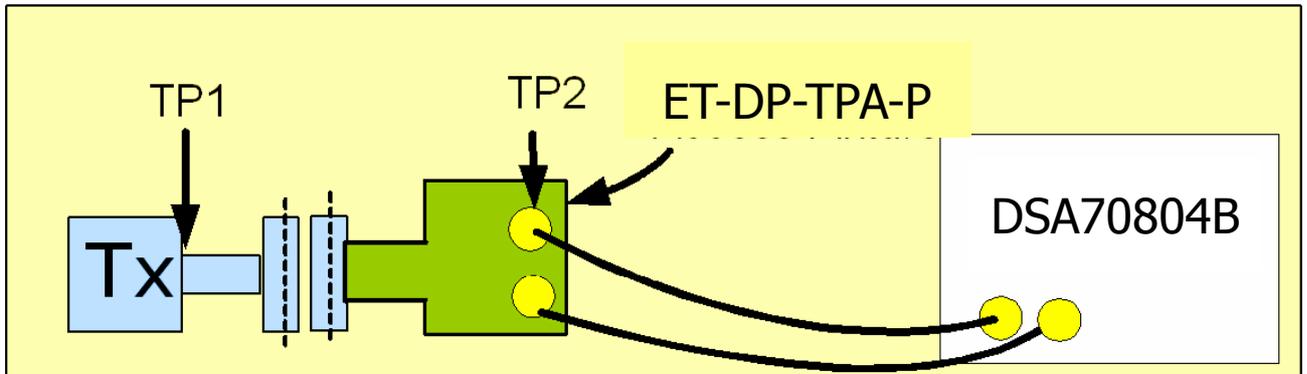
Table 2-1: Capability of DisplayPort Source Devices

Parameter	Mandatory	Optional
Bit Rate	1.62 Gb/s	2.7 Gb/s
Output Level	400, 600, 800 mV	1200 mV
Pre-emphasis	0, 3.5, 6 dB*	9.5 dB
Spread Spectrum Clocking		Always Enabled Always Disabled Selectable
Number of Lanes	1 lane	2 or 4 lanes

디스플레이포트의 호환성 테스트에서는 모든 DPCD 변경에 따른 동작을 검증하고 있으며 따라서 테스트를 위해서는 DUT의 DPCD를 설정하여야 합니다. 테스트의 자동화를 위하여 DP-AUX를 이용할 수 있으며 별도의 레지스터 설정용 소프트웨어를 사용할 필요가 없습니다.

4. Source Test

디스플레이포트의 소스 테스트는 아래의 다이어그램의 TP2에서 측정하며 측정 항목은 아래와 같습니다.



- ▶ 3.1 Eye Diagram Testing (Normative)
- ▶ 3.2 Non Pre-Emphasis Level Verification Testing (Normative)
- ▶ 3.3 Pre-Emphasis Level Verification Testing (Normative)
- ▶ 3.4 Inter-Pair Skew Test (Normative)
- ▶ 3.5 Intra-Pair Skew Test (Normative)
- ▶ 3.6 Differential Transition Time Test (REMOVED)
- ▶ 3.7 Single Ended Rise and Fall Time Mismatch Test (REMOVED)
- ▶ 3.8 Overshoot (REMOVED)
- ▶ 3.9 Frequency Accuracy (REMOVED)
- ▶ 3.10 AC Common Mode Noise (Normative)
- ▶ 3.11 Non ISI Jitter Measurements (Normative)
- ▶ 3.12 Total Jitter (TJ) Measurements (Normative)
- ▶ 3.13 Unit Interval (REMOVED)
- ▶ 3.14 Main Link Frequency Compliance (Normative)
- ▶ 3.15 Spread Spectrum Modulation Frequency (Normative)
- ▶ 3.16 Spread Spectrum Modulation Deviation (Normative)
- ▶ 3.17 dF/dT Spread Spectrum Deviation HF Variation (Informative)
- ▶ 3.18 AUX Channel DC Test (Normative)

대표적인 테스트인 아이 다이어그램 규격은 아래와 같습니다.

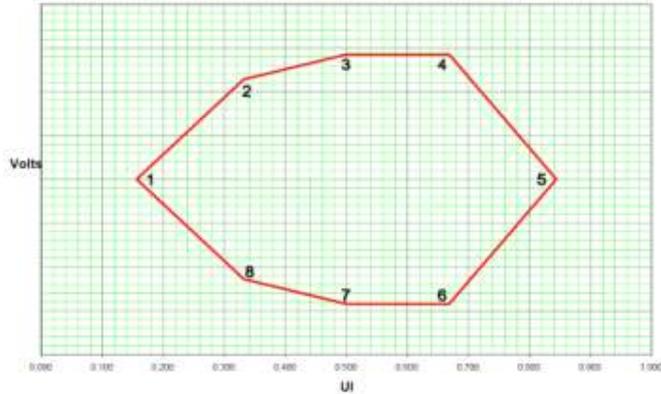


Table 3-14: Mask Vertices for High Bit Rate

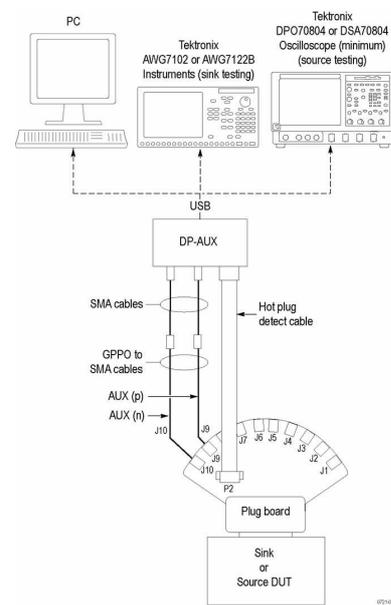
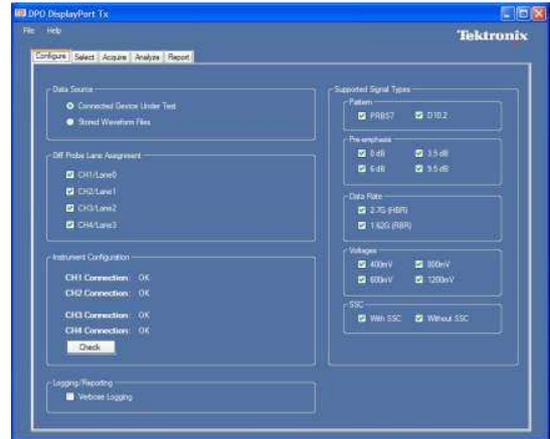
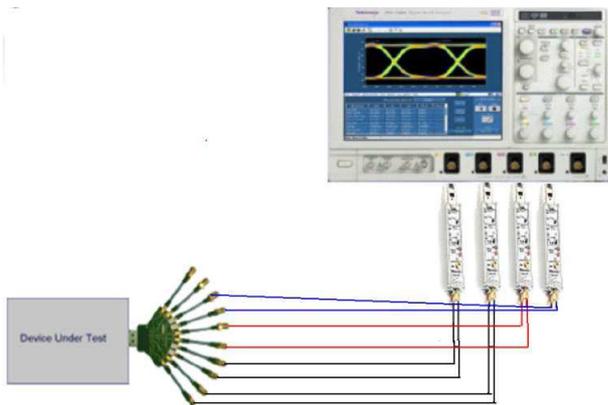
Point	A_0	Voltage (Volts)
1	0.159	0.000
2	0.332	0.158
3	0.500	0.198
4	0.668	0.198
5	0.844	0.000
6	0.665	-0.198
7	0.500	-0.198
8	0.332	-0.158

Table 3-15: Mask Vertices for Reduced Bit Rate

Point	A_0, f_0	Voltage (Volts)
1	0.102	0.000
2	0.277	0.255
3	0.500	0.318
4	0.723	0.318
5	0.899	0.000
6	0.723	-0.318
7	0.500	-0.318
8	0.277	-0.255

아이다이아그램 테스트를 위해서는 먼저 DPCD를 설정하여 PRBS7, 800mV의 신호를 출력하게 한 후 스크린에서는 10MHz(@HBR), 5.4MHz(@RBR)의 2차 PLL을 이용하여 아이를 측정합니다. 이때 측정 데이터는 100,000개 이상의 에지를 갖는 신호를 측정하며 SSC 및 프리엠퍼시스는 동작시키지 않은 상태로 테스트합니다.

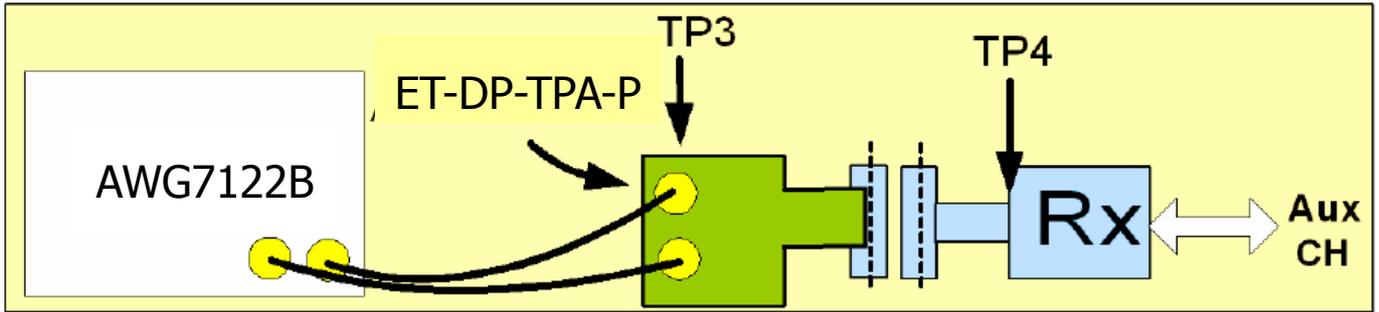
텍트로닉스의 DPO-DSPT 툴을 이용하여 디스플레이포트 소스 테스트의 모든 항목을 자동으로 테스트할 수 있습니다. DPO-DSPT는 USB 통신을 이용하여 DP-AUX를 컨트롤할 수 있으며 이러한 방법으로 각 테스트 항목 별로 요구하는 DPCD 설정을 자동으로 진행할 수 있습니다. DUT 연결은 SMA 케이블 또는 P7313SMA 프로브를 사용할 수 있으며 특히 P7313SMA 4개를 사용할 경우에는 디스플레이포트 4채널에 대한 테스트를 동시에 진행할 수도 있습니다.



4-1. Source Test Equipments List

구분	테스트 장비	비고
오실로스코프	DSA70804B with opt.5XL	8GHz, 25GS/s
Application software	DPOJET and DPO-DSPT	DJA, DSPT
SMA cable	174-4944-01	1ea or 2ea
Differential Probe	P7313SMA	4ea (optional)
AUX control	DP-AUX	test automation
Fixture	ET-DP-TPA-STX	1ea

5. Sink Test



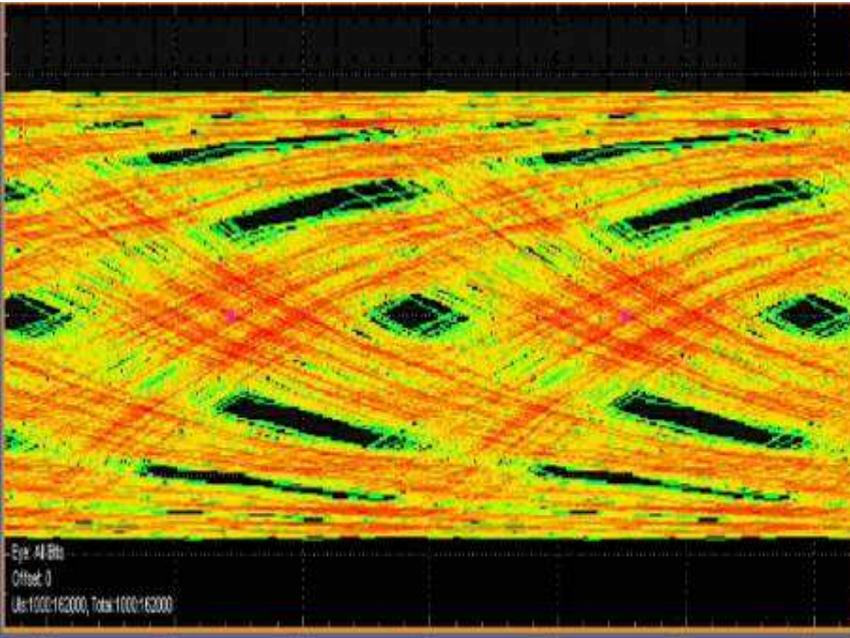
디스플레이포트의 싱크 테스트는 위 다이어그램의 TP3를 기준으로 진행됩니다. AWG7122B 신호 발생기를 이용하여 지터 신호를 발생시켜 싱크 디바이스에 입력한 후 디바이스의 칩에 내장되어 있는 BER 카운터를 확인하여 비트 에러가 발생하였는지의 여부를 판정하게 됩니다. 이때 입력해야 할 지터 규격은 TP3를 기준으로 아래 표와 같이 정의되어 있습니다.

Table 4-2: Jitter Component Settings for Reduced Rate

f(Sj)	Tj(JTRBRrx)	ISI	RJ(RMS)	SJ
[MHz]	[mUI]	[mUI]	[mUI]	[mUI]
2	1648	570	7.9	981
10	778	570	7.9	111
20	747	570	7.9	80

Table 4-3: Jitter Component Settings for High Rate

f(Sj)	TJ(JTHBRrx)	ISI	RJ(RMS)	Approximate SJ
[MHz]	[mUI]	[mUI]	[mUI]	[mUI]
2	1227	161	13.2	904
10	548	161	13.2	225
20	505	161	13.2	182
100	491	161	13.2	168



BER 테스트를 진행하기 전에 링크 트레이닝 및 BER 카운터의 정상 동작 여부를 테스트하여야 합니다. 링크 트레이닝은 소스와 싱크 장비가 실제로 연결될 때 영상 데이터를 전송하기 앞서서 신호의 앰플리튜드, 데이터 레이트 및 프리엠퍼시스 레벨을 결정하기 위해 진행되는 과정이며 Frequency Lock phase 및 Symbol Lock phase로 진행됩니다. 호환성 테스트에서는 이러한 링크 트레이닝의 정상 진행에 대한 검증을 요구하고 있습니다. 링크 트레이닝 및 BER 테스트에서도 DPCD 레지스터 설정이 필요하며, 이 과정도 DP-AUX를 이용하여 자동화 할 수 있습니다. 링크 트레이닝을 테스트하기 위해 정의된 패턴은 아래와

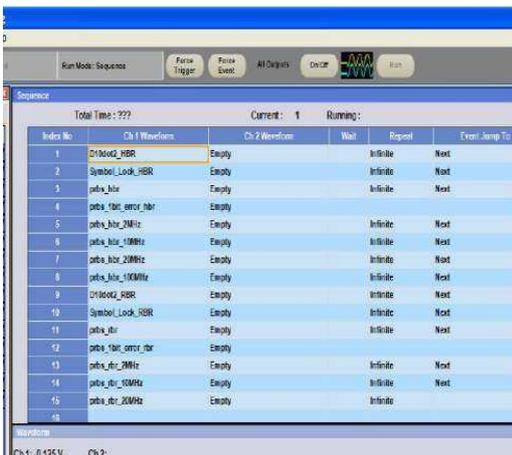
같습니다.

Table 3-9: Symbol Patterns of Link Training

Pattern Number	Purpose	Name
1	For locking Clock Recovery Circuit of the DisplayPort receiver	Repetition of D10.2 characters without scrambling
2	For optimizing equalization, determining symbol boundary, and achieving inter-lane alignment	K28.5-, D11.6, K28.5+, D11.6, D10.2, D10.2, D10.2, D10.2, D10.2, D10.2 without scrambling

또한 측정 채널의 이웃 채널에는 크로스 특의 영향을 검증하기 위하여 half-clock 패턴을 같이 입력하여야 합니다. AWG는 이 모든 신호를 하나의 장비에서 별도의 악세서리 없이 발생하는 것이 가능한 유일한 장비입니다.

5-1. Sink Test – Link Training

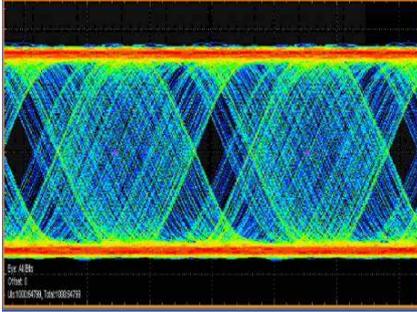


좌측 화면은 싱크 테스트 패턴을 발생시키기 위해 사용하는 AWG7122B 임의 과형 발생기의 GUI입니다. 먼저 Frequency Lock Phase를 테스트하기 위하여 AWG에서 D10.2 패턴을 출력합니다. 이 상태에서 DP-AUX를 이용하여 싱크 칩의 DPCD 레지스터 중 “Training_Pattern_Set” 필드에 “01h”를 입력합니다. 이 설정이 싱크 디바이스에게 링크 트레이닝이 시작됐음을 알리는 방법입니다. 이 후 다시 DPCD의 “Lanex_CR_Done”을 확인하여 이 값이 “1”로 설정되어 있으며 frequency lock이 성공한 것입니다. 5회 반복 실시하여 성공하지 못하면 싱크 테스트는 Fail로 판정됩니다. Frequency Lock이 성공하면 다시

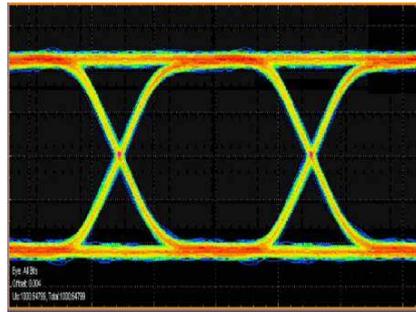
Symbol Lock을 테스트합니다. 이 때는 정의된 K28.5-, D11.6, K28.5+, D11.6, D10.2, D10.2, D10.2, D10.2, D10.2, D10.2 패턴을 AWG에서 발생시키고 DPCD의 “Training_Pattern_set”을 “02h”로 설정합니다. 다시 “Lanex_Symbol_Locked”를 확인하여 “1”로 설정되면 Symbol lock이 성공한 것입니다.

5-2. Sink Test – BER test

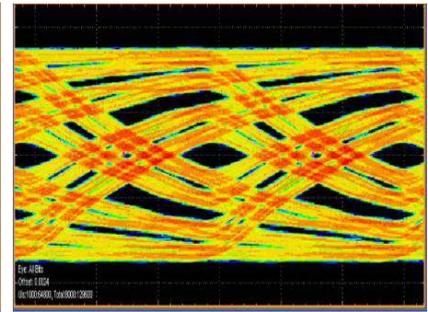
Link Training이 성공하면 BER test가 진행됩니다. 먼저 싱크 칩에 내장된 BER 카운터가 정상 동작을 하고 있는지 확인하기 위하여 임의 개수의 에러 비트가 포함된 PRBS7 신호를 AWG에서 발생시킨 후 DPCD의 “Symbol_Error_Count_Lanex”를 확인하여 입력된 에러 비트 대비 2 비트 이상의 에러가 발생하였다면 BER 카운터가 정상동작을 하지 않는 것이며 테스트는 Fail로 판정됩니다. BER 카운터가 정상이면 요구되는 지터를 발생시켜 다시 BER을 확인하게 됩니다.



<Sj 981mUI>



<Rj 7.9mUI>



<ISI 570mUI>

위 파형은 디스플레이 규격에서 요구되는 1.62Gbps RBR 지터 성분을 각각 발생시켜 측정한 아이 다이어그램입니다. 지터 규격은 아래와 같으며 이 모든 지터 성분이 종합적으로 발생하여 아래의 아이 다이어그램과 같은 신호가 BER 테스트에 사용됩니다. 요구되는 신호의 앰플리튜드는 RBR은 46mVpp, HBR은 150mVpp입니다. 지터 주파수 성분인 Sj는 2MHz, 10MHz 및 20MHz를 테스트하며 HBR에서는 추가로 100MHz 지터까지 검증합니다.

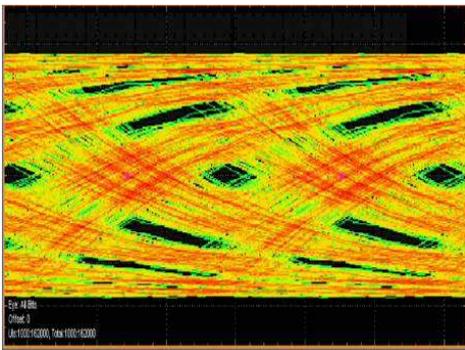


Table 4-2: Jitter Component Settings for Reduced Rate

f(Sj)	Tj(JTRBRrx)	ISI	RJ(RMS)	SJ
[MHz]	[mUI]	[mUI]	[mUI]	[mUI]
2	1648	570	7.9	981
10	778	570	7.9	111
20	747	570	7.9	80

디스플레이포트는 10^9 BER을 요구합니다. 즉 위의 지터 성분이 포함된 신호 10^9 비트가 입력되었을 때 1비트 미만의 에러를 허용하는 것입니다. 신뢰성 있는 테스트를 위하여 호환성 테스트에서는 10^{12} 또는 10^{11} 비트를 입력한 후 1000 비트 또는 100 비트 미만의 에러를 허용합니다. 이러한 규격이 아래 표에 정의되어 있습니다.

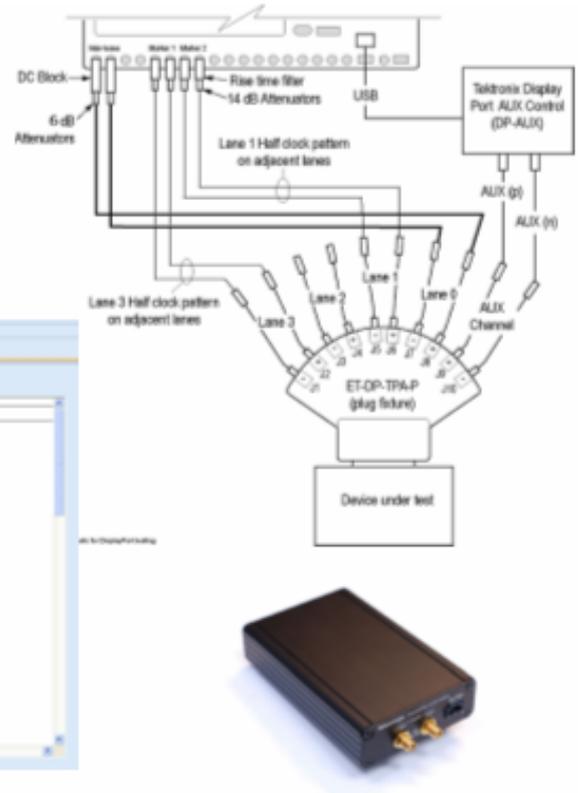
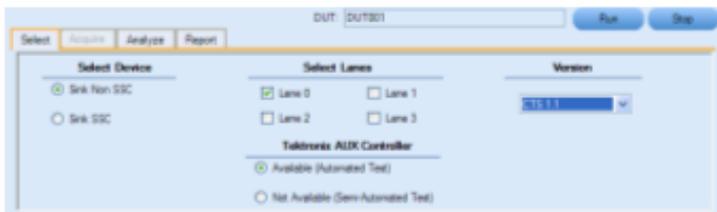
Table 4-1: Test Parameters for BER Measurement

Data Rate	Jitter Frequency	Number of Bits	Max Num of Bit Errors Allowable	Observation Time ¹ (seconds)	Data Rate Offset
HBR RBR	2 MHz	10 ¹²	1000	HBR=370s RBR=620s	0
HBR RBR	10 MHz	10 ¹¹	100	HBR=37s RBR=62s	+350ppm +350ppm
HBR RBR	20 MHz	10 ¹¹	100	HBR=37s RBR=62s	0
HBR	100 MHz	10 ¹¹	100	HBR=37s	0

To evaluate multiply number of bits by the unit interval in ps. (i.e. for HBR: 10¹¹ bits at HBR = 370ps/UI * 10¹¹ UI = 37 seconds)

6. Sink Automation – Tekexpress and DP-AUX

위의 모든 과정에서 요구되는 DPCD 설정 및 BER 카운터 동작은 DP-AUX를 이용하여 자동으로 동작시킬 수 있으며, AWG 동작 및 전체 테스트 진행은 Tekexpress를 통하여 자동화할 수 있습니다. 이때의 장비 설정은 아래와 같습니다.



현재 CTS1.1에서는 SSC를 포함한 싱크 테스트도 함께 요구하고 있으며, AWG7122B는 SSC를 포함한 모든 지터 신호를 쉽게 발생시킬 수 있습니다.

6-1. Sink Automation Equipments List

구분	테스트 장비	비고
Generator	AWG7122B(OPT1,6,8)	1ea
Application software	Tekexpress(opt DP-SINK)	1ea
AUX control	DP-AUX	1ea
Fixture	ET-DP-TPA-S	1ea
Attenuator	14dB 015-1002-01	4ea
	6dB 015-1001-01	6ea
	20dB 011-0059-03	2ea(tethered only)
Accessories	Filter 5915-110-100ps	4ea(picosecond pulse lab)
	DC Block 5501A	2ea(picosecond pulse lab)
	SMA cable 174-4944-01	2ea
	SMA cable 174-1341-00	4ea

*Jitter calibration 또는 RMT에서는 DSA70804B, DJA, SDX100(AWG)이 필요함

7. Cable Test Equipments List

구분	테스트 장비	비고
scope	DSA8200	1ea
TDR module	80E04	4ea*
software	80SSPAR	1ea
Fixture	ET-DP-TPA-S	1ea
Accessories	015-1012-00(Fe-Fe SMA adapter)	4ea
	SMA cable 174-4944-01	4ea

*2개의 모듈로 수동 테스트 가능하나, 4개의 모듈을 사용하여 자동화 테스트가 편리함.